

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-228320

(43)Date of publication of application : 15.08.2003

(51)Int.Cl.

G09G 3/28
 G09F 9/00
 G09G 3/20
 H01L 29/47
 H01L 29/872
 H04N 5/66

(21)Application number : 2002-027843

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 05.02.2002

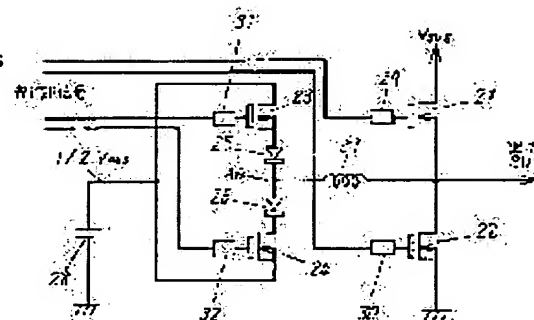
(72)Inventor : ITO KOJI
 KITAHATA MAKOTO
 KUMAMOTO SHIGEMI
 KASAHARA MITSUHIRO

(54) PLASMA DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a sustaining circuit having a simple constitution in which the number of switching elements is small and a heat radiating mechanism is small in a plasma display device.

SOLUTION: This plasma display device is provided with the sustaining circuit supplying a sustaining pulse voltage to electrodes of a plasma display panel and switching elements which are made of a wide band-gap semiconductor such as silicon carbide (SiC), diamond, gallium nitride (GaN), zinc oxide (ZnO) whose band gaps are wider as compared with that of a silicon semiconductor are used in the sustaining circuit.



LEGAL STATUS

[Date of request for examination]

28.01.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

THIS PAGE LEFT BLANK

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-228320

(P2003-228320A)

(43) 公開日 平成15年8月15日 (2003.8.15)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコ-ト* (参考)
G 0 9 G 3/28		G 0 9 F 9/00	3 4 6 A 4 M 1 0 4
G 0 9 F 9/00	3 4 6	G 0 9 G 3/20	6 2 1 G 5 C 0 5 8
G 0 9 G 3/20	6 2 1		6 2 4 P 5 C 0 8 0
	6 2 4		6 7 0 L 5 G 4 3 5
	6 7 0	H 0 4 N 5/66	1 0 1 A
審査請求 未請求 請求項の数 7 O L (全 10 頁) 最終頁に続く			

(21) 出願番号 特願2002-27843 (P2002-27843)

(22) 出願日 平成14年2月5日 (2002.2.5)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 伊藤 幸治

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 北畠 真

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

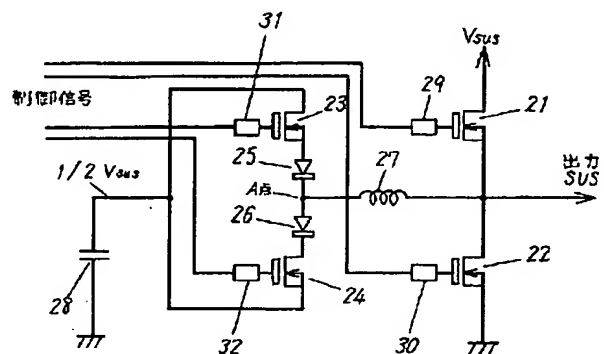
最終頁に続く

(54) 【発明の名称】 プラズマディスプレイ装置

(57) 【要約】

【課題】 プラズマディスプレイ装置において、スイッチング素子の個数が少なく放熱機構の小さい簡単な構成のサステイン回路を提供することを目的とする。

【解決手段】 プラズマディスプレイパネルの電極にサステインパルス電圧を供給するサステイン回路を備え、このサステイン回路に、シリコン半導体に比べてバンドギャップが広いシリコンカーバイド (S i C)、ダイヤモンド、窒化ガリウム (G a N)、酸化亜鉛 (Z n O) などのワイドバンドギャップ半導体で作られたスイッチング素子を用いる。



【特許請求の範囲】

【請求項 1】 プラズマディスプレイパネルの電極にサステインパルス電圧を供給するサステイン回路を備え、このサステイン回路に、ワイドバンドギャップ半導体で作られたスイッチング素子を用いたことを特徴とするプラズマディスプレイ装置。

【請求項 2】 ワイドバンドギャップ半導体がシリコンカーバイド半導体であることを特徴とする請求項 1 に記載のプラズマディスプレイ装置。

【請求項 3】 スwitching素子のジャンクション温度を、150℃を超える温度にして使用することを特徴とする請求項 1 に記載のプラズマディスプレイ装置。

【請求項 4】 サステイン回路の各スイッチが単一のスイッチング素子であることを特徴とする請求項 1 に記載のプラズマディスプレイ装置。

【請求項 5】 サステイン回路のスイッチング素子のうち、プラズマディスプレイパネルの電極が持つコンデンサ成分とサステイン回路に備えられたインダクタンスとの共振電流の経路を形成するスイッチング素子に、双方向の電流制御が可能なスイッチング素子を用いたことを特徴とする請求項 1 に記載のプラズマディスプレイ装置。

【請求項 6】 プラズマディスプレイパネルの電極にサステインパルス電圧を供給しかつ複数のスイッチング素子を有するサステイン回路を備え、このサステイン回路のスイッチング素子のうち、プラズマディスプレイパネルの電極が持つコンデンサ成分とサステイン回路に備えられたインダクタンスとの共振電流の経路を形成するスイッチング素子に、ワイドバンドギャップ半導体で作られ、かつ双方向の電流制御が可能な構造を持つスイッチング素子を用いたことを特徴とするプラズマディスプレイ装置。

【請求項 7】 双方向の電流制御が可能なスイッチング素子が有するボディダイオードに順方向の電流が流れている期間において、双方向の電流制御が可能なスイッチング素子をオン状態にして使用することを特徴とする請求項 5 または 6 に記載のプラズマディスプレイ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、大画面で、薄型、軽量のディスプレイ装置として知られているプラズマディスプレイ装置に関するものである。

【0002】

【従来の技術】プラズマディスプレイ装置は、液晶パネルに比べて高速の表示が可能であり視野角が広いこと、大型化が容易であること、自発光型であるため表示品質が高いことなどの理由から、フラットパネルディスプレイの中で最近特に注目を集めている。

【0003】このプラズマディスプレイ装置は、プラズマディスプレイパネルとその駆動回路から構成され、そ

してプラズマディスプレイパネルは、放電空間として作られた 2 枚の基板の隙間に希ガスを封入するとともに、隔壁で区画された複数の表示セルに蛍光体層を形成した構成を有する。

【0004】このような、プラズマディスプレイパネルの駆動回路は、アドレス回路、スキャン回路、サステイン回路、放電制御タイミング発生回路、電源回路、A/D コンバータ、走査線変換部、サブフィールド変換部などを備えている。このうち、サステイン回路はプラズマディスプレイパネルの電極にサステインパルス電圧波形を供給して、表示発光を行わせるための駆動回路である。

【0005】図 8 は、対角 42 インチクラスのプラズマディスプレイ装置のサステイン回路の一例を示す図である。図 8 において、スイッチング素子 100～113 はパワー MOSFET で構成され、スイッチング素子 114～119 はダイオードで構成される。そして、スイッチング素子 100～107 はプラズマディスプレイパネルを表示発光させる放電電流の経路を形成するためのものであり、スイッチング素子 108～119 はスイッチング損失低減のため、プラズマディスプレイパネルの電極が持つコンデンサ成分とインダクタンス 120 との共振電流の経路を形成するためのものである。

【0006】並列接続されたスイッチング素子 100～103 は、出力の一端が電源ライン V_{sus} に接続され、他端はサステイン回路の出力 SUS に接続されている。並列接続されたスイッチング素子 104～107 は、出力の一端がサステイン回路の出力 SUS に、他端がグランドに接続されている。

【0007】また、コンデンサ 121 の一端はグランドに接続され、他端は並列接続されたスイッチング素子 108～110 の出力の一端及び並列接続されたスイッチング素子 111～113 の出力の一端に接続されている。並列接続されたスイッチング素子 108～110 の出力の他端は並列接続されたスイッチング素子 114～116 の一端に接続され、並列接続されたスイッチング素子 111～113 の出力の他端は並列接続されたスイッチング素子 117～119 の一端に接続されている。

【0008】並列接続されたスイッチング素子 114～116 の他端と並列接続されたスイッチング素子 117～119 の他端はインダクタンス 120 の一端に接続され、インダクタンス 120 の他端はサステイン回路の出力 SUS に接続されている。並列接続されたスイッチング素子 100～103 のゲート端子にはゲート駆動回路 122 が、並列接続されたスイッチング素子 104～107 のゲート端子にはゲート駆動回路 123 が、並列接続されたスイッチング素子 108～110 のゲート端子にはゲート駆動回路 124 が、並列接続されたスイッチング素子 111～113 のゲート端子にはゲート駆動回路 125 がそれぞれ接続され、それぞれの制御信号をス

スイッチング素子 100~113 に供給している。

【0009】また、スイッチング素子の冷却のため、ヒートシンク 126、127 がスイッチング素子 100~119 に取り付けられている。

【0010】図 9 に、プラズマディスプレイ装置のサステイン回路の出力波形を示す。42 インチクラスのプラズマディスプレイの場合、サステイン回路の出力電圧波形は電圧が 170 V、1 周期が 5 μ s 程度である。また、サステイン回路の出力電流波形は、並列接続されたスイッチング素子 108~110、111~113、114~116、117~119 の各並列ブロックを流れるピーク電流は 50 (A) 程度、並列接続されたスイッチング素子 100~103、104~107 の各並列ブロックを流れるピーク電流は 200 (A) 程度である。

【0011】ここで、図 8 のサステイン回路において、スイッチング素子を並列にしている理由は、上記の大きなピーク電流に対処すると同時に電力損失を抑えるためである。これらのスイッチング素子のうちパワー MOSFET を使用している部分には、大電流に適した IGBT を用いることも考えられるが、上記のような 1 周期が 5 μ s 程度の高速度動作ではスイッチングスピードが遅く実用的でない。したがって電流能力は劣るが高速動作に適したパワー MOSFET を並列接続して使用している。また、ダイオードは高速動作に適したファースト・リカバリ・ダイオードを使用しているが、フォワード電圧がやや高く電力損失が大きいので並列接続している。また、当然のことながら現時点においてはこれらのスイッチング素子は、安価に入手できるシリコン半導体を用いられている。

【0012】

【発明が解決しようとする課題】しかし、このような従来のプラズマディスプレイ装置のサステイン回路は、スイッチング素子を並列接続して使用しているため、多数のスイッチング素子が必要であった。また、並列接続したスイッチング素子間の特性や配線にインピーダンス差があると、インピーダンスの低いスイッチング素子に電流が集中する。特に、サステインパルス電流は di/dt が大きいので、わずかなインピーダンスの差でも電流集中を起こしやすい。このような電流集中を考慮すれば、トータルの電流能力に余裕をとる必要があり、その分だけ余計にスイッチング素子の並列個数を増す必要があった。

【0013】また、サステイン回路の出力電流はピーク値が大きいため、スイッチング素子の電力損失が大きくヒートシンクなどの放熱機構を備える必要があった。

【0014】さらに、プラズマディスプレイの電極が持つコンデンサ成分とサステイン回路が持つインダクタンスとの共振電流の経路を形成するスイッチング素子は、電力損失を抑えるためパワー MOSFET と高速ダイオードを直列接続にする必要があり、スイッチング素子の

個数を増やしていた。

【0015】本発明はこのようなプラズマディスプレイ装置において、スイッチング素子の個数が少なく放熱機構の小さい簡単な構成のサステイン回路を提供することを目的とするものである。

【0016】

【課題を解決するための手段】上記目的を達成するために本発明のプラズマディスプレイ装置は、プラズマディスプレイパネルの電極にサステインパルス電圧を供給するサステイン回路に、ワイドバンドギャップ半導体で作られたスイッチング素子を用いた構成としている。

【0017】

【発明の実施の形態】すなわち、本発明においては、プラズマディスプレイパネルの電極にサステインパルス電圧を供給するサステイン回路を備え、このサステイン回路に、シリコン半導体に比べてバンドギャップが広いシリコンカーバイド (SiC)、ダイヤモンド、窒化ガリウム (GaN)、酸化亜鉛 (ZnO) などのワイドバンドギャップ半導体で作られたスイッチング素子を用いた構成としている。また、本発明では、スイッチング素子のジャンクション温度を、150℃を超える温度にして使用することを特徴とする。

【0018】さらに、本発明では、スイッチング素子のうち、プラズマディスプレイパネルの電極が持つコンデンサ成分とサステイン回路に備えられたインダクタンスとの共振電流の経路を形成するスイッチング素子に、双方向の電流制御が可能なスイッチング素子を用いたことを特徴とする。すなわち、プラズマディスプレイパネルの電極にサステインパルス電圧を供給するサステイン回路のうち、プラズマディスプレイパネルの電極が持つコンデンサ成分とサステイン回路に備えられたインダクタンスとの共振電流の経路を形成するスイッチング素子に、ワイドバンドギャップ半導体で作られ、かつ双方向の電流制御が可能な構造を持つスイッチング素子を用いた構成としている。

【0019】また、双方向の電流制御が可能なスイッチング素子が有するボディダイオードに順方向の電流が流れている期間において、双方向の電流制御が可能なスイッチング素子をオン状態にして使用することを特徴とする。

【0020】以下、本発明のプラズマディスプレイ装置の第一の実施の形態について、図 1~図 6 を用いて説明する。

【0021】まず、プラズマディスプレイ装置におけるプラズマディスプレイパネルの構造について図 1 を用いて説明する。図 1 に示すように、ガラス基板などの透明な前面側の基板 1 上には、スキャン電極 2a とサステイン電極 2b とで対をなすストライプ状の表示電極が複数形成され、そしてその電極群を覆うように誘電体層 3 が形成され、その誘電体層 3 上には保護膜 4 が形成され

ている。

【0022】また、前記前面側の基板1に対向配置される背面側の基板5上には、スキャン電極2a及びサステイン電極2bと交差するように、オーバーコート層6で覆われた複数列のストライプ状のアドレス電極7が形成されている。このアドレス電極7間のオーバーコート層6上には、アドレス電極7と平行に複数の隔壁8が配置され、この隔壁8間の側面及びオーバーコート層6の表面に蛍光体層9が設けられている。

【0023】これらの基板1と基板5とは、スキャン電極2a及びサステイン電極2bとアドレス電極7とがほぼ直交するように、微小な放電空間を挟んで対向配置されるとともに、周囲が封止され、そして前記放電空間には、ヘリウム、ネオン、アルゴン、キセノンのうちの一種または混合ガスが放電ガスとして封入されている。また、放電空間は、隔壁8によって複数の区画に仕切ることにより、スキャン電極2a及びサステイン電極2bとアドレス電極7との交点が位置する複数の放電セルが設けられ、その各放電セルには、赤色、緑色及び青色となるように蛍光体層9が一色ずつ順次配置されている。

【0024】図2にこのプラズマディスプレイパネルの電極配列を示す。スキャン電極及びサステイン電極とアドレス電極とは、M行×N列のマトリックス構成であり、行方向にはM行のスキャン電極SCN1～SCNM及びサステイン電極SUS1～SUSMが配列され、列方向にはN列のアドレス電極D1～DNが配列されている。

【0025】図3にこのプラズマディスプレイ装置の駆動回路のタイミングチャートの一例を示す。まず、書き込み期間において、アドレス電極にアドレスパルス電圧50をスキャン電極にスキャンパルス電圧51を順次印加して、アドレス電極とスキャン電極の間でアドレス放電を行って放電セルを選択する。その後、維持期間において、スキャン電極とサステイン電極との間に交互に反転するサステインパルス電圧52を周期的に印加することにより、前記で選択した放電セルのスキャン電極とサステイン電極との間でサステイン放電を行い表示発光させる。続く消去期間において、サステイン電極に消去パルス電圧53を印加してサステイン放電を消滅させる。

【0026】このような書き込み期間、維持期間、消去期間からなるサブフィールドを複数個組み合わせて1フィールドを作り、各サブフィールドのサステインパルス電圧の数を変えて輝度に重み付けをすることで階調表示が得られる。

【0027】図4はプラズマディスプレイ装置の構成を示しており、プラズマディスプレイパネル10と、アドレス回路11、スキャン回路12、サステイン回路13、15、消去回路14、放電制御タイミング発生回路16、A/Dコンバータ（アナログ・デジタル変換器）17、走査数変換部18、サブフィールド変換部19及

び電源回路20からなる駆動回路などを備えている。

【0028】図4の駆動回路において、まず、映像信号VIDEOは、A/Dコンバータ17に入力される。また、水平同期信号H及び垂直同期信号Vは放電制御タイミング発生回路16、A/Dコンバータ17、走査数変換部18、サブフィールド変換部19に与えられる。A/Dコンバータ17は、映像信号VIDEOをデジタル信号に変換し、その画像データを走査数変換部18に与える。走査数変換部18は、画像データをプラズマディスプレイパネル10の画素数に応じたライン数の画像データに変換し、各ラインごとの画像データをサブフィールド変換部19に与える。サブフィールド変換部19は、各ラインごとの画像データの各画素データを複数のサブフィールドに対応する複数のビットに分割し、各サブフィールドごとに各画素データの各ビットをアドレス回路11にシリアルに出力する。

【0029】アドレス回路11は、サブフィールド変換部19から各サブフィールドごとにシリアルに与えられるデータをパラレルデータに変換し、そのパラレルデータに基づいてアドレス電極にアドレスパルス電圧を供給する。放電制御タイミング発生回路16は、水平同期信号H及び垂直同期信号Vを基準として、放電制御タイミング信号を発生し、それぞれアドレス回路11、スキャン回路12、サステイン回路13、消去回路14、サステイン回路15に与える。

【0030】スキャン回路12は、放電制御タイミング発生回路16から与えられる放電制御タイミング信号に応答してスキャン電極に順に走査パルス電圧を供給する。サステイン回路13は、放電制御タイミング発生回路16から与えられる放電制御タイミング信号に基づいて、スキャン回路を介してスキャン電極にサステインパルス電圧を供給する。消去回路14は放電制御タイミング発生回路16から与えられる放電制御信号に基づいて、スキャン回路12を介してスキャン電極に消去パルス電圧を供給する。サステイン回路15は、放電制御タイミング発生回路16から与えられる放電制御タイミング信号に基づいて、サステイン電極にサステインパルス電圧を供給する。

【0031】そして、電源回路20は、所定の電圧を上記各回路ブロックに供給する。

【0032】図5に、本実施の形態における対角42インチクラスのプラズマディスプレイ装置のサステイン回路13、15の詳細図を示す。図5において、スイッチング素子21～24はシリコンカーバイド（SiC）半導体で作られたパワーMOSFETにより構成され、スイッチング素子25、26はシリコンカーバイド（SiC）半導体で作られたショットキー・バリア・ダイオードにより構成されている。

【0033】スイッチング素子21の出力の一端は電源ラインVsusに接続され、他端はサステイン回路の出

力SUSに接続されている。スイッチング素子22の出力の一端はサステイン回路の出力SUSに接続され、他端はグラウンドに接続されている。スイッチング素子23及びスイッチング素子24は、出力の一端がコンデンサ28に接続され、またコンデンサ28の他端はグラウンドに接続されている。また、スイッチング素子23の出力の他端はスイッチング素子25の一端に接続され、スイッチング素子24の出力の他端はスイッチング素子26の一端に接続されている。スイッチング素子25の他端とスイッチング素子26の他端はインダクタンス27の一端に接続され、インダクタンス27の他端はサステイン回路の出力SUSに接続されている。

【0034】放電制御タイミング発生回路16からの制御信号は、ゲート駆動回路29～32を介してスイッチング素子21～24のゲート端子に印加されている。

【0035】図6にサステイン回路13、15からの出力電圧波形及びサステイン回路13からの出力電流波形を示す。以下に、サステイン回路13の動作について説明する。

【0036】 t_1 において、サステイン回路15の出力電圧が0(V)よりも少し高い電圧から0(V)に立ち下ると、スイッチング素子22のボディダイオードに出力電流 i_{1a} が流れる。そして、 t_1 において同時にサステイン回路13のスイッチング素子23がオンすると、コンデンサ28の $1/2 \cdot V_{sus}$ (V)の電圧にA点の電圧が引き上げられ、インダクタンス27とスキャン電極の持つコンデンサ成分とが共振を起こす。そして、サステイン回路13の出力電圧は0(V)から V_{sus} (V)よりも少し低い電圧まで立ち上がる。

【0037】このときスイッチング素子23、25には出力電流 i_{1b} が流れる。そして出力電流 i_{1a} 、 i_{1b} が流れることで、スイッチング素子23のオン抵抗、スイッチング素子25のフォワード電圧による電力損失が発生する。共振電流が終了すると同時にA点の電圧は出力電圧と同じ電圧まで急峻に立ち上がり、スイッチング素子25はオフになる。このときスイッチング素子25にはリカバリ損失が発生する。

【0038】次に、 t_2 においてスイッチング素子21がオンすると、プラズマディスプレイパネル10を表示発光させる放電電流と、サステイン回路13の出力電圧を V_{sus} (V)よりも少し低い電圧から V_{sus} (V)に引き上げる電流とを複合した出力電流 i_2 がスイッチング素子21に流れる。そしてサステイン回路13の出力電圧は V_{sus} (V)に引き上げられる。このとき、スイッチング素子21にはオン抵抗による電力損失が発生する。

【0039】次に、 t_3 において、スイッチング素子21、23がオフとなり、スイッチング素子24がオンすると、コンデンサ28の $1/2 \cdot V_{sus}$ (V)の電圧にA点の電圧が引き下げられ、インダクタンス27とス

キャン電極の持つコンデンサ成分とが共振を起こし、サステイン回路13の出力電圧は V_{sus} (V)から0(V)よりも少し高い電圧まで立ち下がる。このときスイッチング素子24、26には出力電流 i_3 が流れ、スイッチング素子24のオン抵抗、スイッチング素子26のフォワード電圧による電力損失が発生する。共振電流が終了すると同時にA点の電圧は出力電圧と同じ電圧まで急峻に立ち下がり、スイッチング素子26はオフになる。このときスイッチング素子26にはリカバリ損失が発生する。

【0040】次に、 t_4 においてスイッチング素子22がオンすると、サステイン回路13の出力電圧を0(V)よりも少し高い電圧から0(V)に引き下げる出力電流 i_{4a} がスイッチング素子22に流れる。そしてサステイン回路13の出力電圧は0(V)に引き下げられる。そして t_4 において同時に、サステイン回路15の出力電圧波形の立ち上がりによって生じる出力電流 i_{4b} がスイッチング素子22に流れる。

【0041】次に、 t_5 においてスイッチング素子22のオン状態は継続され、プラズマディスプレイパネルを表示発光させる放電電流と、サステイン回路の出力電圧を0(V)よりも少し高い電圧から0(V)に引き下げる電流とを複合した出力電流 i_5 がスイッチング素子22に流れる。

【0042】次に、 t_6 においてスイッチング素子22のオン状態は継続され、サステイン回路15の出力電圧波形の立ち上がりによって生じる出力電流 i_6 がスイッチング素子22のボディダイオードに流れる。

【0043】ところで、 $t_4 \sim t_6$ の間、スイッチング素子22にはオン抵抗による電力損失が発生する。対角42インチクラスのプラズマディスプレイ装置の場合、上記のサステイン回路の出力電圧波形は電圧が170(V)($=V_{sus}$)、1周期が5(μs)程度である。また、 i_{1b} 、 i_3 、 i_{4b} 、 i_6 はピークで50(A)程度、 i_2 、 i_5 はピークで200(A)程度の大きさである。上記サステイン回路のスイッチング素子の電力損失は、スイッチング素子21～24のオン抵抗及びスイッチング時間、スイッチング素子25、26のフォワード電圧、リカバリ電流及びリカバリ時間で決まる。

【0044】本実施の形態では、これらのスイッチング素子にシリコンカーバイド半導体で作られたスイッチング素子を使用する構成にしている。シリコンカーバイド半導体で作られたスイッチング素子は、高耐電圧、高電流密度、低オン抵抗、高速動作、高温動作など多くの優れた特長を持つことが知られている。

【0045】すなわち、スイッチング素子21～24はオン抵抗が小さくスイッチング時間の小さいものを使用できる。また、スイッチング素子25、26はシリコンカーバイド半導体を用いることで、高耐電圧のショット

キー・バリア・ダイオードが可能となるので、フォワード電圧、リカバリ電流、リカバリ時間の小さいものを使用できる。また、スイッチング素子 21~26 は、シリコン半導体の上限であったジャンクション温度 150℃を超える条件で使用できるようになり、ジャンクション温度 400℃以上の高温で使用できるものも実現可能である。

【0046】したがって、スイッチング素子 21~26 の電力損失を小さくできるとともにジャンクション温度の制約がほとんどなくなるので、全体のスイッチング素子及び回路のサイズを小さくでき、並列個数を大幅に削減できると同時に、スイッチング素子の放熱機構を大幅に簡略化できることになる。シリコンカーバイト半導体で作られたスイッチング素子は、並列で用いても温度上昇による電流集中が起こらないという優れた特性を有するが、特に各スイッチを単一のスイッチング素子にできる場合は、スイッチング素子間にある特性や配線のインピーダンス差による電流集中の問題もなくなり、スイッチング素子の電流能力をより効率的に小さくできる。

【0047】このように、プラズマディスプレイパネルのサステイン回路に用いるスイッチング素子に、シリコンカーバイト半導体で作られたスイッチング素子を用いれば、スイッチング素子の電力損失を小さくでき、並列個数が少なく放熱機構が簡略なサステイン回路を実現できる。

【0048】図 7 に、本発明のプラズマディスプレイ装置における第二の実施の形態において、対角 42 インチクラスのプラズマディスプレイ装置に使われるサステイン回路 13、15 の詳細図を示す。なお、サステイン回路 13、15 以外の部分については、第一の実施の形態と同じであるので、説明を省略する。

【0049】図 7 において、スイッチング素子 40~43 は、シリコンカーバイト半導体で作られたパワー MOSFET で構成されている。スイッチング素子 40 の出力の一端は電源ライン V_{sus} に接続され、他端はサステイン回路の出力 SUS に接続されている。スイッチング素子 41 の出力の一端はサステイン回路の出力 SUS に、他端はグランドに接続されている。スイッチング素子 42 の出力の一端は、コンデンサ 45 の一端に接続され、このコンデンサ 45 の他端はグランドに接続されている。また、スイッチング素子 42 の出力の他端は、スイッチング素子 43 の一端に接続され、スイッチング素子 43 の出力の他端はインダクタンス 44 の一端に接続されている。スイッチング素子 42 とスイッチング素子 43 は導通方向が逆方向を向いて直列接続されており、ボディーダイオードを利用した双方向の電流制御が可能なスイッチを構成している。また、インダクタンス 44 の他端はサステイン回路の出力 SUS に接続されている。

【0050】放電制御タイミング発生回路 16 からの制

御信号は、ゲート駆動回路 46~49 を介してスイッチング素子 40~43 のゲート端子に印加されている。

【0051】図 7 に示すサステイン回路からの出力電圧波形及び出力電流波形は、図 5 に示すサステイン回路と同様、図 6 に示す波形となる。図 7 に示すサステイン回路の動作が図 5 と異なる点はダイオードの役割をパワー MOSFET のボディーダイオードで代用させたことである。以下、図 7 に示すサステイン回路の動作について図 6 を用いて説明する。

【0052】 t_1 において、サステイン回路 15 の出力電圧が 0 (V) よりも少し高い電圧から 0 (V) に立ち下ると、スイッチング素子 41 のボディーダイオードに出力電流 i_{1a} が流れる。そして、 t_1 において、同時にサステイン回路 13 のスイッチング素子 42 がオンすると、コンデンサ 45 の $1/2 \cdot V_{sus}$ (V) の電圧がスイッチング素子 42、スイッチング素子 43 のボディーダイオードを介して A 点に供給されて A 点の電圧が引き上げられ、インダクタンス 44 とスキャン電極の持つコンデンサ成分とが共振を開始する。そして、サステイン回路 13 の出力電圧は 0 (V) から V_{sus} (V) よりも少し低い電圧まで立ち上がる。

【0053】このときスイッチング素子 42、43 には出力電流 i_{1b} が流れる。そして出力電流 i_{1a} 、 i_{1b} が流れることで、スイッチング素子 42 のオン抵抗、スイッチング素子 43 のボディーダイオードのフォワード電圧による電力損失が発生する。ここでスイッチング素子 43 のボディーダイオードのフォワード電圧による電力損失が問題になる場合は、ボディーダイオードに電流が流れている期間の少なくとも一部の期間、スイッチング素子 43 の FET 部分をオンにして使用すればよい。共振電流が終了すると同時に A 点の電圧は出力電圧と同じ電圧まで急峻に立ち上がり、スイッチング素子 43 のボディーダイオードはオフになる。このときスイッチング素子 43 にはリカバリ損失が発生する。このリカバリは、シリコン半導体で作られたスイッチング素子に比べて早く損失が非常に小さい。

【0054】次に、 t_2 においてスイッチング素子 40 がオンすると、プラズマディスプレイパネル 10 を表示発光させる放電電流と、サステイン回路 13 の出力電圧を V_{sus} (V) よりも少し低い電圧から V_{sus} (V) に引き上げる電流とを複合した出力電流 i_2 がスイッチング素子 40 に流れる。そしてサステイン回路 13 の出力電圧は V_{sus} (V) に引き上げられる。このとき、スイッチング素子 40 にはオン抵抗による電力損失が発生する。

【0055】次に t_3 において、スイッチング素子 40、42 がオフとなり、スイッチング素子 43 がオンすると、コンデンサ 45 の $1/2 \cdot V_{sus}$ (V) の電圧がスイッチング素子 42 のボディーダイオード、スイッチング素子 43 を介して A 点に供給されて A 点の電圧が

引き下げられ、インダクタンス 44 とスキャン電極の持つコンデンサ成分とが共振を開始する。そして、サステイン回路 13 の出力電圧は V_{sus} (V) から 0 (V) よりも少し高い電圧まで立ち下がる。

【0056】このときスイッチング素子 42、43 には出力電流 i_3 が流れ、スイッチング素子 43 のオン抵抗、スイッチング素子 42 のボディダイオードのフォワード電圧による電力損失が発生する。ここで、スイッチング素子 42 のボディダイオードのフォワード電圧による電力損失が問題になる場合は、ボディダイオードに電流が流れている期間の少なくとも一部の期間、スイッチング素子 42 の FET 部分をオンにして使用すればよい。

【0057】共振電流が終了すると同時に A 点の電圧は出力電圧と同じ電圧まで急峻に立ち下がり、スイッチング素子 42 のボディダイオードはオフになる。このときスイッチング素子 42 にはリカバリ損失が発生する。

【0058】次に、 t_4 においてスイッチング素子 41 がオンすると、サステイン回路 13 の出力電圧を 0

(V) よりも少し高い電圧から 0 (V) に引き下げる出力電流 i_{4a} がスイッチング素子 41 に流れる。そしてサステイン回路 13 の出力電圧は 0 (V) に引き下げられる。そして t_4 において同時に、相手側にあるサステイン回路 15 の出力電圧波形の立ち上がりによって生じる出力電流 i_{4b} がスイッチング素子 41 に流れる。

【0059】次に、 t_5 においてスイッチング素子 41 のオン状態は継続され、プラズマディスプレイパネルを表示発光させる放電電流と、サステイン回路の出力電圧を 0 (V) よりも少し高い電圧から 0 (V) に引き下げる電流とを複合した出力電流 i_5 がスイッチング素子 41 に流れる。

【0060】次に、 t_6 においてスイッチング素子 41 のオン状態は継続され、相手側にあるサステイン回路 15 の出力電圧波形の立ち下がりによって生じる出力電流 i_6 がスイッチング素子 41 のボディダイオードに流れる。

【0061】ところで、 $t_4 \sim t_6$ の間、スイッチング素子 41 にはオン抵抗による電力損失が発生する。対角 42 インチクラスのプラズマディスプレイ装置の場合、上記のサステイン回路の出力電圧波形は電圧が 170 (V) ($=V_{sus}$)、1 周期が 5 (μs) 程度である。また、 i_{1b} 、 i_3 、 i_{4b} 、 i_6 はピークで 50 (A) 程度、 i_2 、 i_5 はピークで 200 (A) 程度の大きさである。上記サステイン回路のスイッチング素子の電力損失は、スイッチング素子 40~43 のオン抵抗及びスイッチング時間、スイッチング素子 42、43 のボディダイオードのフォワード電圧、リカバリ電流及びリカバリ時間で決まる。

【0062】本実施の形態では、これらのスイッチング素子にシリコンカーバイド半導体で作られたスイッチ

ング素子を使用しており、このようにシリコンカーバイド半導体で作られたスイッチング素子をサステイン回路に使用して構成することにより、スイッチング素子 40~43 はオン抵抗が小さくスイッチング時間の小さいものを使用できる。したがって、これらスイッチング素子の電力損失を小さくできるとともにジャンクション温度の制約がほとんどなくなり、全体の素子及び回路サイズを小さくでき、並列個数を削減できると同時にスイッチング素子の放熱機構を大幅に簡略化できることになる。

【0063】また、シリコンカーバイド半導体で作られたスイッチング素子は、並列で用いても温度上昇による電流集中が起こらないという優れた特性を有するが、特に各スイッチを単一のスイッチング素子にできる場合は、スイッチング素子間にある特性や配線のインピーダンス差による電流集中の問題もなくなり、スイッチング素子の電流能力を効率的に小さくできる。

【0064】さらに、本実施の形態の構成にすることで、スイッチング素子 42、43 のボディダイオードが高速のダイオードとして有効に働くので、第一の実施の形態では必要であったダイオード 25、26 が不要になり、サステイン回路をより簡略化できる。

【0065】また、本実施の形態において、スイッチング素子 42、43 のボディダイオードのフォワード電圧による電力損失が問題になる場合は、ボディダイオードに電流が流れている t_1 、 t_3 の期間の少なくとも一部の期間だけ、ボディダイオードに順方向の電流が流れているスイッチング素子 42 または 43 の FET 部分をオン状態にして使用しているため、その期間は電流が FET 部分のオン抵抗に分流することになって、スイッチング素子 42、43 のボディダイオードのフォワード電圧による電力損失も低減させることができる。

【0066】なお、上記第二の実施の形態では、図 7 に示すように、双方向の電流制御が可能なスイッチング素子として、スイッチング素子 42、43 を直列接続にしたものを使用しているが、この部分は 1 素子で双方向の電流制御が可能なスイッチング素子であってもよい。シリコンカーバイド半導体を用いれば、空乏層の寸法の小さい横型のスイッチング素子を作れるので、1 素子で双方向の電流制御が可能なスイッチング素子を実現できる。

【0067】また、本発明の第一及び第二の実施の形態では、各スイッチを単一のスイッチング素子にした場合を示したが、プラズマディスプレイパネルがさらに大型でスイッチング素子の電流能力を超えるような場合には、複数個のスイッチング素子を並列接続すればよく、形態はこれに限定されるものではない。

【0068】また、本発明の第一及び第二の実施の形態では、シリコンカーバイド半導体で作られたスイッチング素子を例にして説明したが、ダイヤモンド、窒化ガリウム (GaN)、酸化亜鉛 (ZnO) などのシリコンカ

一バイト以外のワイドバンドギャップ半導体であってもよい。

【0069】

【発明の効果】以上の説明から明らかなように、本発明によるプラズマディスプレイ装置によれば、サステイン回路のスイッチング素子の個数を削減できるとともに放熱機構の小型化ができるので、サステイン回路を簡略にできる効果が得られる。

【図面の簡単な説明】

【図1】本発明の一実施の形態によるプラズマディスプレイ装置のパネルの概略構成を示す斜視図

【図2】同プラズマディスプレイ装置のパネルの電極配列を示す説明図

【図3】同プラズマディスプレイ装置の駆動方法の一例を示す波形図

【図4】同プラズマディスプレイ装置の表示駆動回路の一例を示すブロック回路図

【図5】同プラズマディスプレイ装置のサステイン回路の一例を示す回路図

【図6】同プラズマディスプレイ装置のサステイン回路の出力波形の一例を示す波形図

【図7】同プラズマディスプレイ装置のサステイン回路の一例を示す回路図

【図8】従来のプラズマディスプレイ装置のサステイン回路の一例を示す回路図

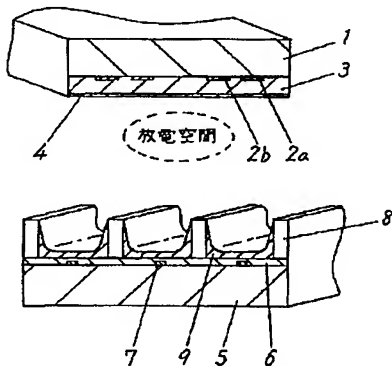
【図9】従来のプラズマディスプレイ装置のサステイン回路の出力波形の一例を示す波形図

【符号の説明】

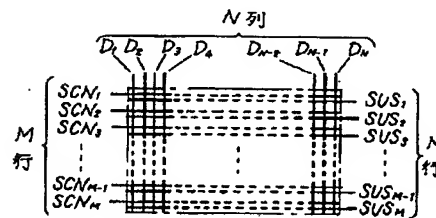
1 基板

- 2a スキャン電極
- 2b サステイン電極
- 3 誘電体層
- 4 保護膜
- 5 基板
- 6 オーバーコート層
- 7 アドレス電極
- 8 隔壁
- 9 蛍光体層
- 10 プラズマディスプレイパネル
- 11 アドレス回路
- 12 スキャン回路
- 13 サステイン回路
- 14 消去回路
- 15 サステイン回路
- 16 放電制御タイミング発生回路
- 17 A/Dコンバータ
- 18 走査線数変換部
- 19 サブフィールド変換部
- 20 電源回路
- 21～26 スwitching素子
- 27 インダクタンス
- 28 コンデンサ
- 29～32 ゲート駆動回路
- 40～43 スwitching素子
- 44 インダクタンス
- 45 コンデンサ
- 46～49 ゲート駆動回路

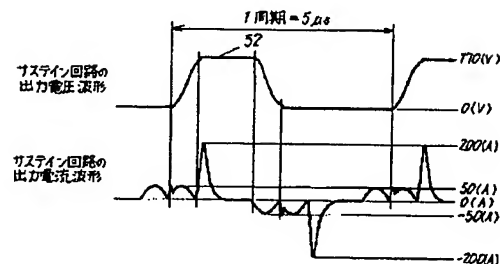
【図1】



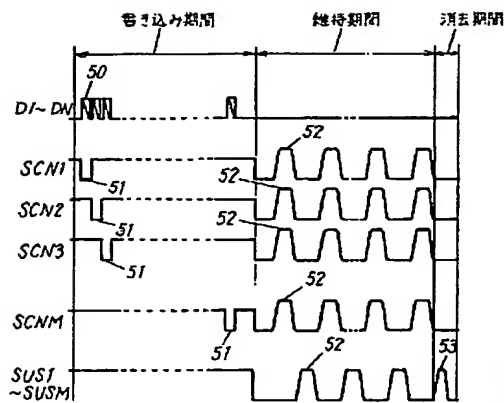
【図2】



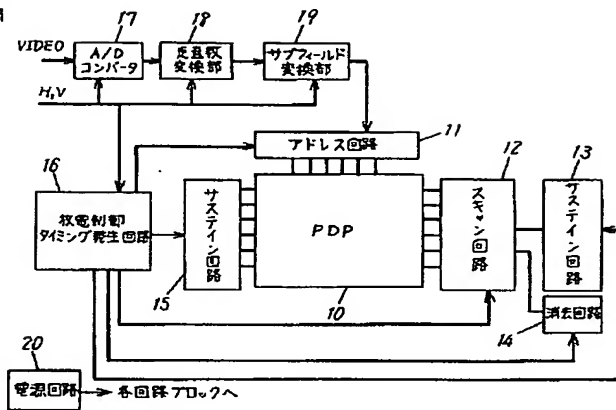
【図9】



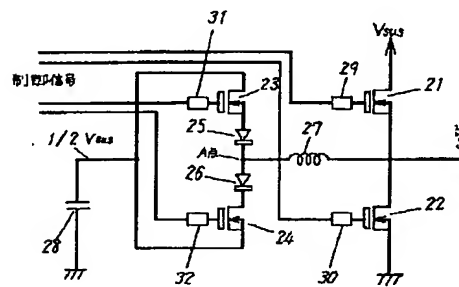
【図3】



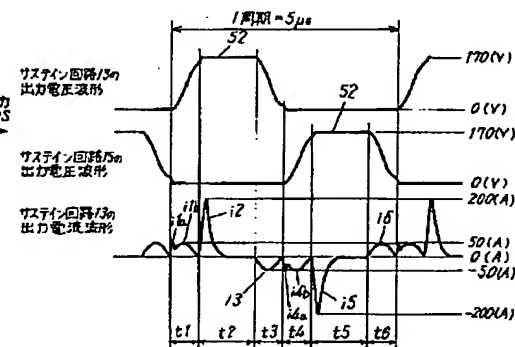
【図4】



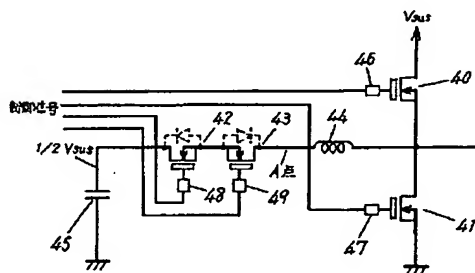
【図5】



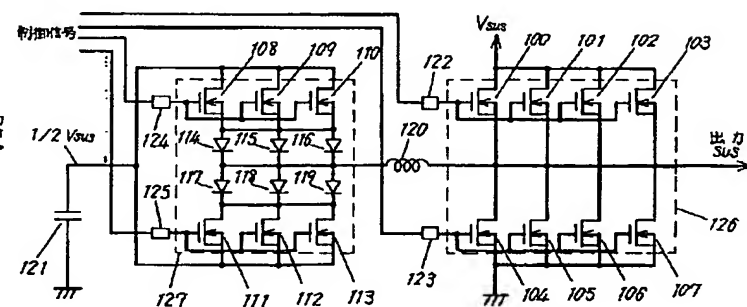
【図6】



【図7】



【図8】



フロントページの続き

(51) Int. Cl.⁷

H01L 29/47
29/872

H04N 5/66

識別記号

101

F I

G09G 3/28

H01L 29/48

テーマコード (参考)

J

E

D

(72)発明者 隈本 重實
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 笠原 光弘
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

F ターム (参考) 4M104 AA03 AA04 AA06 AA10 CC03
GG03 GG09 GG10 GG14 HH20
5C058 AA11 AB01 BA01 BA23 BA26
BB25
5C080 AA05 BB05 DD20 DD22 DD28
HH04 HH05 JJ02 JJ03 JJ04
JJ06
5G435 AA18 BB06 GG44